

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-071653
 (43)Date of publication of application : 04.03.2004

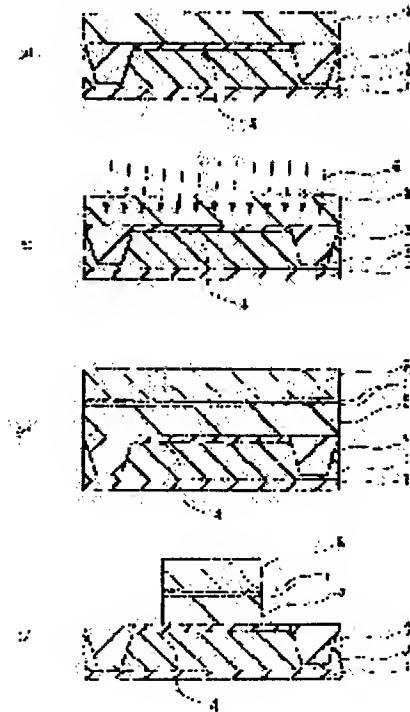
(51)Int.Cl. H01L 29/78
 H01L 21/28
 H01L 29/423
 H01L 29/49

(21)Application number :	2002-225223	(71)Applicant :	MATSUSHITA ELECTRIC IND CO LTD
(22)Date of filing :	01.08.2002	(72)Inventor :	YONEDA KENJI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a gate electrode for controlling generation of crystal defects due to the stress in the heat treatment while break of the gate electrode by ion injection is prevented, and also to provide a method of manufacturing the gate electrode. SOLUTION: In the semiconductor device, channeling at the time of ion injection can be prevented, crystal grains do not grow and stress is not generated even in the subsequent heat treatment by using, to a silicon film part of a gate electrode, small grain size polycrystal silicon film (5) having the average crystal grain size of 2 to 40 nm and not oriented in the particular direction, or a laminated structure of the small grain size polycrystal silicon film and an amorphous silicon film after formation of a gate insulation film (4). Accordingly, it is possible to provide a transistor which includes a thin gate electrode without crystal defects.





(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2004-71653

(P2004-71653A)

(43)公開日 平成16年3月4日(2004.3.4)

(51) Int.CI.⁷HO1L 29/78
HO1L 21/28
HO1L 29/423
HO1L 29/49

F 1

HO1L 29/78 301G
HO1L 21/28 301A
HO1L 21/28 301D
HO1L 29/58 G

テーマコード(参考)

4M104
5F140

審査請求 未請求 請求項の数 9 O.L. (全 14 頁)

(21)出願番号
(22)出願日特願2002-225223 (P2002-225223)
平成14年8月1日 (2002.8.1)

(71)出願人

000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74)代理人

110000040

特許業務法人池内・佐藤アンドパートナーズ

(72)発明者

米田 健司

大阪府門真市大字門真1006番地 松下電器産業株式会社内

F ターム(参考) 4M104 AA01 BB01 BB20 BB40 CC01
CC05 DD04 DD37 DD42 DD43
DD45 DD55 DD65 DD78 DD79
DD80 DD84 DD88 DD91 EE03
EE09 EE14 FF14 FF18 GG08
HH07

最終頁に続く

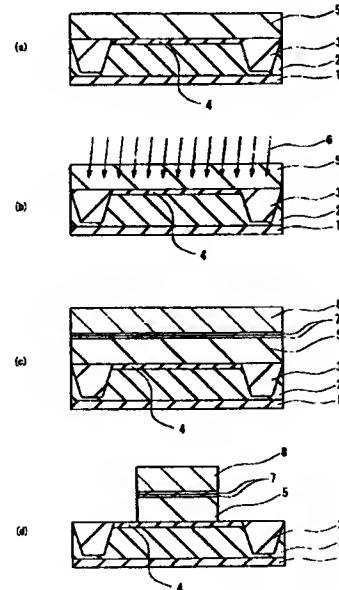
(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】

【課題】イオン注入によるゲート電極の突き抜けを防止しながら、熱処理時の応力発生による結晶欠陥の発生をも抑制するゲート電極およびその製造方法を提供する。

【解決手段】ゲート絶縁膜(4)を形成後、結晶平均粒の大きさが2~40nmで、かつ特定の方向に配向していない小粒径多結晶シリコン膜(5)、または小粒径多結晶シリコン膜と非晶質シリコン膜の積層構造をゲート電極のシリコン膜部分に用いることにより、イオン注入時のチャネリング防止とその後の熱処理においても結晶粒成長をおこさず応力も発生しない半導体装置とする。これにより、ゲート電極の膜厚が薄く、かつ結晶欠陥の発生のないトランジスタを提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板上にウェル構造、素子分離、ゲート絶縁膜を含むMOS型半導体装置であって、
ゲート電極がシリコン膜からなる単層膜、シリコン膜と単一または複数の金属膜とからなる積層膜、シリコン膜と金属シリサイド膜とからなる積層膜のうちのいずれかの構造を備え、
前記シリコン膜は導電性を有し、結晶粒の平均粒子が2nm以上40nm以下の範囲の大きさからなる小粒径多結晶シリコン膜であって、前記結晶粒の結晶方位が特定の方位に配向していないことを特徴とする半導体装置。

10

【請求項 2】

前記シリコン膜が、少なくとも2層以上の複数のシリコン層からなる積層構造である請求項1に記載の半導体装置。

【請求項 3】

前記シリコン膜が、ゲルマニウムを含む請求項1または2に記載の半導体装置。

【請求項 4】

半導体基板上にウェル構造、素子分離、ゲート絶縁膜を含むMOS型半導体装置の製造方法であって、

前記ゲート絶縁膜上にシリコン膜を形成し、

前記シリコン膜に不純物を導入し、

前記シリコン膜を加工してゲート電極を形成することにより、

結晶粒の平均粒子が2nm以上40nm以下の範囲の大きさからなる小粒径多結晶シリコン膜であって、前記結晶粒の結晶方位が特定の方位に配向していないシリコン膜を形成することを特徴とする半導体装置の製造方法。

20

【請求項 5】

半導体基板上にウェル構造、素子分離、ゲート絶縁膜を含むMOS型半導体装置の製造方法であって、

前記ゲート絶縁膜上にシリコン膜を形成し、

前記シリコン膜に不純物を導入し、

前記シリコン膜上に単一もしくは複数の金属膜、または金属シリサイド膜を形成し、

前記シリコン膜、前記シリコン膜と前記金属膜とからなる積層膜、または前記シリコン膜と前記金属シリサイド膜とからなる積層膜を加工してゲート電極を形成することにより、結晶粒の平均粒子が2nm以上40nm以下の範囲の大きさからなる小粒径多結晶シリコン膜であって、前記結晶粒の結晶方位が特定の方位に配向していないシリコン膜を形成することを特徴とする半導体装置の製造方法。

30

【請求項 6】

前記シリコン膜を形成する方法が、前記ゲート絶縁膜直上に小粒径多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜上に非晶質シリコン膜を形成する工程とを包含し、前記小粒径多結晶シリコン膜の膜厚が前記結晶粒の大きさと同程度である請求項4または5に記載の半導体装置の製造方法。

40

【請求項 7】

前記シリコン膜を形成する方法が、前記ゲート絶縁膜直上に非晶質シリコン膜を形成する工程と、急速昇降温の短時間アニールを行って前記非晶質シリコン膜を小粒径多結晶シリコン膜に変換する工程と、変換された前記小粒径多結晶シリコン膜上に非晶質シリコン膜または多結晶シリコン膜を形成する工程とを包含し、前記非晶質シリコン膜の膜厚が前記結晶粒の大きさと同程度である請求項4または5に記載の半導体装置の製造方法。

【請求項 8】

前記シリコン膜が、ゲルマニウムを含む請求項4～7のいずれかに記載の半導体装置の製造方法。

【請求項 9】

50

前記不純物を導入する方法が、イオン注入法、プラズマドーピング法または熱拡散法である請求項4～7のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体デバイス、とりわけCMOS（相補型金属一酸化膜一半導体）デバイスのトランジスタに用いられるゲート電極の構造および形成方法に関するものである。

【0002】

【従来の技術】

微細MOS型トランジスタでは電極への不純物ドーピングに、通常、イオン注入が用いられる。一方、近年の微細化MOS型トランジスタでは、ドライエッチングによる加工性の向上や、フォトリソグラフィーによるレジストのパターン制御性の観点、さらにはデバイス構造の平坦化の観点からもゲート電極の膜厚の薄膜化が要求されている。ゲート電極は通常、多結晶シリコン膜または非晶質シリコン膜で形成されるのが普通である。多結晶シリコン膜は通常、ある範囲の大きさの結晶粒の集合として成り立っており、通常はその結晶粒の大きさは100～200nm程度である。また、多結晶シリコン膜の形成方法にもよるが、しばしばこれらの結晶粒は特定の方位に配向している場合があり、とりわけ多結晶シリコン膜の表面からゲート絶縁膜の上部まで貫通した結晶粒の集合体からなる場合を柱状結晶とよんでいる。これらの結晶粒の内部は単結晶として取り扱うことができる。これらの多結晶シリコンにイオン注入により不純物を導入する場合、結晶粒の方位によってはイオンのチャネリングが生じ、計算上、不純物イオンが多結晶シリコン中で止まるエネルギーにもかかわらず、ゲート絶縁膜をも突き抜けシリコン基板、とりわけMOS型トランジスタのチャネル領域に達することがある。これらはイオンの突き抜けと呼ばれMOS型トランジスタのしきい値電圧の変動をもたらす。ゲート電極の膜厚が薄い場合には、さらにこのチャネリングが発生しやすい。特に結晶粒がある程度以上の大きさをもち、それがゲート電極とほぼ等しいか大きい場合、結晶粒の中は単結晶としてみなせるため、このチャネリングによる突き抜けはさらに起こりやすく、そのためゲート電極の薄膜化を阻害し、ひいては微細加工の難度を高めている。また、その結晶粒が柱状となった場合、ゲート電極の表面からゲート絶縁膜は面方位の比較的そろった単結晶の集合体とみなせるため、イオンの突き抜けをさらに促進しやすい。

10

20

30

【0003】

一方、これら多結晶シリコンの結晶粒によるチャネリング問題を回避するためには、ゲート電極に不純物をイオン注入するときに、ゲート電極に結晶性を持たせなければよいことは容易に想像できる。すなわち、ゲート電極に結晶性を持たない非晶質の状態で堆積することで、結晶粒によるチャネリングの問題を回避することができるよう見える。イオン注入における不純物の突き抜けの観点だけからみると、非晶質シリコン膜をゲート電極に用いることでチャネリングの問題は回避できるものの、他の深刻な問題を新たに発生する。通常、ゲート電極はゲート電極への不純物導入の後、不純物の活性化のため熱処理が施されるが、このとき非晶質シリコン膜は結晶成長をおこし、多結晶シリコンへと変化する。このとき非晶質からの成長では、成長核の数はすくないため、結晶粒は大きく成長しやすく、その大きさは0.4～0.6μmまたは1μmを越える場合さえある。このとき、結晶粒の成長にともなってストレスが発生する。このストレスは非晶質から成長する結晶粒の大きさが大きいほど大きい。これによりシリコン基板のゲート電極直下のチャネル領域およびソース・ドレイン領域には大きなストレスが加わることになる。このときのストレスは電極材料がシリコン膜系の場合は引っ張り応力となることが多い。一方、MOS型トランジスタの素子分離領域である、LOCOS部またはSTI部には酸化膜分離特有の圧縮応力が存在しており、この圧縮応力と、ゲート電極の結晶化にともなう引っ張り応力の競合の結果、MOS型トランジスタのチャネル部またはソース・ドレイン部から素子分離にかけて結晶欠陥が極めて発生しやすくなる。これらの応力は、MOSトランジスタの設計寸法が小さいほどストレスを緩和できる場所がないため、きつくなり、とりわけ微細

40

50

MOS型トランジスタにおいて非常に深刻な問題となる。チャネル領域の結晶欠陥はソース・ドレイン間のリーク電流に、ソース・ドレイン領域の結晶欠陥は接合リークとなり、トランジスタの性能を損なうばかりでなく、ときにはトランジスタの動作そのものを阻害する。一方、チャネル直下における強力な応力の存在はエラストレジスタンスに代表されるようにキャリアの移動度を変化させ、キャリアの種類によりときには移動度を低下させたり、移動度を向上させたりする。これによりトランジスタの駆動力はバラツクこととなり正常なトランジスタ動作を著しく阻害する。この問題を防止するためには、ゲート電極を多結晶シリコンで形成することで回避可能である。多結晶シリコンは一旦、結晶粒がある大きさに成長しているため、イオン注入後の熱処理においても、それ以上結晶粒が大きく成長する可能性は低い。すでに存在する結晶粒と結晶粒が互いにぶつかりあい、それ以上の成長を阻害するからである。多結晶シリコンをゲート電極に用いることにより、応力発生による結晶欠陥発生やトランジスタの駆動能力の不安定性は回避できるものの、はじめに述べたようにイオン注入におけるチャネリング発生によるイオンの突き抜けの問題が再び浮上する。この問題を回避するためには、ゲート電極をイオン注入におけるチャネリング確率を十分低くできるだけ厚くするか、またはイオン注入エネルギーを極端に低くすることであるが、ゲート電極の厚膜化は加工性の低下を招き、平坦性の低下を招く。また低エネルギーの注入はイオン注入装置の性能上の制限や、ゲート電極のドーピング濃度の低下をもたらすため非現実的である。とりわけ、近年、注目されているシリコン電極上に金属膜を張り合わせたボリメタル構造においては、2層の複合膜からなる関係上、下地のシリコン膜はできるだけ薄くしなければならないため、非晶質で堆積することが必須となっている。しかし、非晶質では前述した熱処理後の結晶粒成長に伴う応力による結晶欠陥発生の問題があるため、このままでは解がないのが現状である。

【0004】

図6 (a) ~ (c) および図7 (a) ~ (e) は従来の技術による工程断面図を示したものである。図6は多結晶シリコン膜105をゲート電極として用いた場合である。多結晶シリコンの結晶粒の粒径は通常0.1~0.2μm程度であり、しばしば柱状結晶になる。このような状態では結晶粒は膜の表面から、ゲート絶縁膜直上まで貫通した結晶となるため、その後のゲート電極用イオン注入において(図6 (a))、チャネリングを生じたイオン108が電極を貫通し、ゲート絶縁膜直下のチャネル領域まで達してしまい、不純物突き抜け109を生じ、しきい値電圧の変化をもたらす(図6 (b))。イオン注入後の熱処理において、これら多結晶シリコン膜は、これ以上は粒径成長しないので、とくに大きな応力は加わることはない。これらのチャネリングを防止するためには、多結晶シリコン膜の膜厚を厚くすることが必要となる。このようにして半導体装置を製造する(図6 (c))。なお図6 (a) ~ (c)において、101はシリコン基板、102はウェル領域、103は素子分離領域、104はゲート絶縁膜、106はゲート電極用イオン注入、107は多結晶シリコン膜の結晶粒(本図の場合柱状結晶)である。

【0005】

図7 (a) ~ (e) は、ゲート電極として非晶質シリコン膜を用いた場合である。ゲート電極には通常多結晶シリコンが用いられるが、前述したようにチャネリングによる突き抜けを防止するためにはゲート電極の多結晶シリコン膜の膜厚を厚くせざるをえない。このため、ゲート電極の膜厚を薄く保つためにはイオン注入突き抜け耐性にすぐれ非晶質シリコン膜110が用いられる(図7 (a))。非晶質シリコン膜に硼素をイオン注入106した後に(図7 (b))、活性化のため熱処理が施されるが、この熱処理によって、非晶質シリコン膜は結晶粒成長し、多結晶シリコン膜111となり、その結晶粒112粒径は通常0.6μm程度となる(図7 (c))。微細MOSトランジスタではゲート幅、ゲート長とも0.1μm程度と粒径の1/5以下であるため、等価的にトランジスタは1個もしくは最高でも2個の結晶粒からなっている。このとき結晶粒112は非晶質から実に0.6μmまで成長するため、大きな応力が発生する。この応力は微細デバイスにおいてはゲート絶縁膜が薄いため、ここで緩和されることなくチャネル領域のシリコンに加わり結晶欠陥113を発生する(図7 (d))。この結晶欠陥はトランジスタのリークを生じ、

10

20

30

40

50

トランジスタが正常に動作することができなくなってしまう。このような状態において、この後、ソース・ドレンへの硼素のイオン注入工程 114 を行うと、ソース・ドレン領域だけでなくゲート電極にもイオン注入はされるため、結晶中でチャネリングが起こり、チャネリングイオン 115 がゲート電極、ゲート絶縁膜を突き抜けチャネル領域まで達してしまい、突き抜け不純物領域 117 が形成され(図 7 (e))、これしきい値電圧を変動させる。116 はサイドウォール絶縁膜である。

【0006】

【発明が解決しようとする課題】

本発明はイオン注入によるゲート電極の突き抜けを防止しながら、ゲート電極をイオン注入後の熱処理によっても結晶粒成長させない構造のゲート電極を形成することにより、熱処理時の応力発生による結晶欠陥の発生をも抑制することによって、微細加工に適した構造のゲート電極を含む半導体装置およびその製造方法を提供することを目的とする。

10

【0007】

【課題を解決するための手段】

前記目的を達成するため、本発明の半導体装置は、半導体基板上にウェル構造、素子分離、ゲート絶縁膜を含むMOS型半導体装置であって、

20

ゲート電極がシリコン膜からなる単層膜、シリコン膜と単一または複数の金属膜とからなる積層膜、シリコン膜と金属シリサイド膜とからなる積層膜のうちのいずれかの構造を備え、

前記シリコン膜は導電性を有し、結晶粒の平均粒子が 2 nm 以上 40 nm 以下の範囲の大きさからなる小粒径多結晶シリコン膜であって、前記結晶粒の結晶方位が特定の方位に配向していないことを特徴とする。

【0008】

本発明においては、前記シリコン膜は、少なくとも 2 層以上の複数のシリコン層からなる積層構造であることが好ましい。さらに好ましくは、2~4 層の複数のシリコン層からなる積層構造である。

【0009】

また前記シリコン膜は、ゲルマニウムを含むことが好ましい。ゲルマニウムはシリコン膜に対して 10~30 atom% 存在させるのが好ましい。

30

【0010】

次に本発明の製造方法は、半導体基板上にウェル構造、素子分離、ゲート絶縁膜を含むMOS型半導体装置の製造方法であって、

前記ゲート絶縁膜上にシリコン膜を形成し、

前記シリコン膜に不純物を導入し、

前記シリコン膜を加工してゲート電極を形成することにより、

結晶粒の平均粒子が 2 nm 以上 40 nm 以下の範囲の大きさからなる小粒径多結晶シリコン膜であって、前記結晶粒の結晶方位が特定の方位に配向していないシリコン膜を形成することを特徴とする。

40

【0011】

次に本発明の別の製造方法は、半導体基板上にウェル構造、素子分離、ゲート絶縁膜を含むMOS型半導体装置の製造方法であって、

前記ゲート絶縁膜上にシリコン膜を形成し、

前記シリコン膜に不純物を導入し、

前記シリコン膜上に单一もしくは複数の金属膜、または金属シリサイド膜を形成し、

前記シリコン膜、前記シリコン膜と前記金属膜とからなる積層膜、または前記シリコン膜と前記金属シリサイド膜とからなる積層膜を加工してゲート電極を形成することにより、結晶粒の平均粒子が 2 nm 以上 40 nm 以下の範囲の大きさからなる小粒径多結晶シリコン膜であって、前記結晶粒の結晶方位が特定の方位に配向していないシリコン膜を形成することを特徴とする。

【0012】

50

前記方法においては、シリコン膜を形成する方法が、前記ゲート絶縁膜直上に小粒径多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜上に非晶質シリコン膜を形成する工程とを包含し、前記小粒径多結晶シリコン膜の膜厚が前記結晶粒の大きさと同程度であることが好ましい。

【0013】

また前記シリコン膜を形成する方法が、前記ゲート絶縁膜直上に非晶質シリコン膜を形成する工程と、急速昇降温の短時間アニールを行って前記非晶質シリコン膜を小粒径多結晶シリコン膜に変換する工程と、変換された前記小粒径多結晶シリコン膜上に非晶質シリコン膜または多結晶シリコン膜を形成する工程とを包含し、前記非晶質シリコン膜の膜厚が前記結晶粒の大きさと同程度であることが好ましい。

10

【0014】

また前記シリコン膜が、ゲルマニウムを含むことが好ましい。

【0015】

また前記不純物を導入する方法が、イオン注入法、プラズマドーピング法または熱拡散法であることが好ましい。

【0016】

【発明の実施の形態】

一般的にイオン注入の突き抜けの面から考えれば、非晶質シリコンの形でシリコン膜を堆積することが好ましいが、非晶質シリコン膜はイオン注入後の活性化熱処理により結晶粒が大きく成長し、それに伴い応力が発生するため、ゲート電極直下またはソース・ドレイン領域で結晶欠陥を生ずる可能性が高い。そのため、あらかじめ多結晶シリコンで形成すれば結晶粒成長の問題は回避可能であるが、一方、多結晶シリコン膜の結晶粒の大きさや面方位は制御されていないため、結晶粒内でイオンのチャネリングを生ずる。チャネリングを防止するためにはまず、結晶粒が特定の配向性をもたない、たとえば柱状結晶などにならざることが重要であり、また結晶粒の大きさも膜厚に比べ十分小さいことが必要と考えた。その目安として膜厚方向に結晶粒が3個から5個以上並んでおり、それらの結晶粒が互いの任意の面方位をもつことにより、イオンのチャネリング確率は著しく減少する。一方、このような小さい結晶粒であっても一旦多結晶化したものはその後の熱処理に置いても互いの結晶粒がお互いに成長しようと相互干渉するため、熱処理後でも結晶粒が大きくならない。すなわち結晶成長が起こらないため応力が発生することはない。本発明はこのような小結晶粒でかつ特定の面方位に配向していない多結晶シリコンからなるシリコン電極または、シリコン膜と複数の金属の積層構造、またはシリコン膜と金属シリサイドからなる電極の構造、さらに小結晶粒電極およびそれと同じ効果をもつ積層構造のシリコン電極の製造方法を提供できる。

20

【0017】

(第1の実施形態)

図1(a)～(d)に示す断面図を用いて、本発明の第1の実施形態を説明する。図1(d)は本発明のトランジスタの電極構造を示したものである。1はシリコン基板であり、ウェル領域2、例えばNウェルが形成されていることがある。3は素子分離領域で、例えばSTI (Shallow Trench Isolation) である。分離方式はこれに限定されない。4はゲート絶縁膜である。5は本発明に含まれる小粒径かつ特定の方向に配向していない、いわゆるランダム配向の多結晶シリコン電極である。6は例えば硼素などのゲート電極用注入イオンである。7は多結晶シリコン電極中の不純物が、その上部の金属膜8に拡散するのを防止するためのバリア金属層である。以下、工程流れ図に従って、第1の実施形態を説明する。

30

【0018】

P型(100)のシリコン基板上1に、公知のSTI分離領域3を分離深さ0.3μmで形成した後、公知のフォトリソグラフィー技術とイオン注入技術によりN型およびP型ウェル領域2、さらにはチャネル領域の不純物導入をした後、活性領域上に公知のRTO (Rapid Thermal Oxidation) 技術により1000℃、水素：酸素

40

50

= 1 : 95、圧力 1.33×10^3 Pa (10 Torr) で膜厚 2.2 nm の酸化膜を形成し、その後、窒素プラズマに暴露することにより表面付近に窒素のピーク濃度 4 atm % を持つように窒化を行い、ゲート絶縁膜 4 を形成した。このときの窒化は ICP プラズマにより行い、周波数 13.56 MHz、300 W 圧力 1.33×10^3 Pa (10 Torr)、20 秒間行った。その後、枚葉処理可能な減圧 CVD 装置を用いて、小粒径多結晶シリコン膜 5 を 80 nm 堆積した (図 1 (a))。このとき、小粒径多結晶シリコンを形成するため、圧力 1.06×10^4 Pa (80 Torr) で SiH₄ : H₂ = 1 : 13、温度 670 °C で堆積を行った。透過電子顕微鏡 (TEM) にて観察した結晶粒の大きさは平均 15 nm であった。膜厚方向には平均して 4 ~ 6 個の結晶粒が存在し、TEM 写真からその配向は特定方向ではないことを確認した。

10

【0019】

その後、イオン注入 6 により硼素を加速エネルギー 5 keV で 5×10^{15} cm⁻² イオン注入した (図 1 (b))。その後、これらのイオンを活性化するために 750 °C で 30 分間、窒素中で熱処理を行った。このとき TEM 観察によれば、結晶粒の平均的な粒径に変化はなく、ほぼ平均 15 nm のままであった。一方、トランジスタを形成してからの、しきい値電圧の測定により、硼素注入はシリコン膜中に対して行われており、ゲート絶縁膜 4 直下のチャネル領域には到達しないことが確認できた。すなわち、膜厚方向にそれぞれ結晶の向きの異なる平均 5 個の結晶粒および結晶粒界が存在していたため、イオンのチャネリングによる突き抜けは発生しなかった。

20

【0020】

その後、公知のスパッタリング装置により Ti をターゲットとして反応性スパッタにより 10 nm の窒化チタン膜をバリア金属層 7 として形成し、引き続きスパッタリング技術によりタンゲステン膜 8 を厚み 50 nm で堆積し、全体としてタンゲステン膜 / 窒化チタン膜 / 小粒径多結晶シリコン膜の 3 層からなるポリメタル構造電極を形成した (図 1 (c))。

20

【0021】

ここで小粒径多結晶シリコンの形成方法は数種類考えられるが、本実施形態では枚葉式 CVD 装置を用いて SiH₄ と水素の混合雰囲気中で水素と SiH₄ の流量比が 10 以上になるようにするとともに比較的高温の 630 ~ 700 °C で堆積した。この結晶粒の大きさは水素流量比、圧力、温度を変化させることにより制御することが可能であり、通常のバッチ式の減圧 CVD 装置でも形成可能である。また、SiH₄ ガスに微量の一酸化二窒素 (N₂O) を混合させても、小粒径多結晶シリコン膜を形成することができるが、それ形成条件は使用する装置にも依存するため、詳細説明は省略する。その後、公知のフォトリソグラフィー技術およびドライエッチング技術により、ゲート電極を加工した (図 1 (d))。

30

【0022】

(第 2 の実施形態)

次に、本発明の第 2 の実施形態について工程流れ図 2 (a) ~ (d) を用いて説明する。P 型 (100) 11 ~ 14 Ω cm エピ厚 5 μm、基板の比抵抗 10 ~ 15 mΩ のエピタキシャル基板 1 上に、公知の分離技術を用い、深さ 0.3 μm の STI 分離領域 3 を形成した後、公知のフォトリソグラフィー技術とイオン注入技術により N 型および P 型ウェル形成 2、チャネル領域の不純物導入を行った後、膜厚 2.2 nm のゲート絶縁膜 4 を一酸化窒素と酸素の混合雰囲気中において 1000 °C で形成した。この時、膜中の窒素のピーク濃度は 6 atm % であった。その後、枚葉式 CVD 装置により小粒径多結晶シリコン膜 5 を 20 nm 形成した。このとき SiH₄ と水素の混合雰囲気 1 : 13 で 1.06×10^4 Pa (80 Torr)、温度 690 °C で堆積を行った。その結果、結晶粒の大きさは TEM 観察により平均 10 nm となった。さらに同一チャンバー内で温度を 600 °C に変化させて SiH₄ ガスにより、非晶質シリコン膜 9 を 60 nm 堆積した。すなわち、20 nm の小粒径多結晶シリコン膜上に 60 nm の非晶質シリコン膜 9 を積層した (図 2 (a))。

40

50

【0023】

その後、硼素6をイオン注入により加速エネルギー5keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ で注入した(図2(b))。その後、イオンの活性化のため750°C、30分間窒素雰囲気で熱処理を行った。このとき、非晶質シリコン膜9は結晶化されるが、下地の小粒径多結晶シリコン膜5の結晶性を引き継ぐため、その結晶粒は下地の小粒径多結晶シリコン膜とほぼ同じ大きさの小粒径多結晶シリコン膜10となった(図2(c))。TEMによる観察では非晶質層が結晶化した多結晶シリコン膜8の粒径は、平均で20nm程度であった。イオン注入はすでに非晶質の状態で実施しているので突き抜けの心配はなかった。また、熱処理後も結晶粒は20nm程度までしか成長せず、さらにすでに存在している小粒径多結晶シリコン膜5が応力の緩衝膜として作用するため、ゲート絶縁膜3直下のチャネル領域、またはソース・ドレイン領域へ応力が集中することはなかった。また、非晶質シリコン膜9はイオン注入に対しては十分なチャネリング耐性があるため、実質的には小粒径多結晶シリコン膜5と非晶質シリコン膜9のトータル膜厚は、すべてが小粒径多結晶シリコン膜の場合にくらべ薄くすることが可能であった。

【0024】

その後、公知のフォトリソグラフィー技術と、ドライエッチング技術によりゲート電極を加工した後、イオン注入技術によりLDD領域を形成し、公知のCVD技術とドライエッチング技術によりサイドウォール11を形成した後、イオン注入技術により硼素を5keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、ソース・ドレイン領域を形成した。その後、スパッタ技術によりコバルト膜8nmおよび窒化チタン膜20nmを堆積し、RTA技術(Rapid Thermal Annealing)により450°C、60秒、窒素中にてシリサイド化アニールを行いコバルトシリサイドを形成した。その後サイドウォール上の未反応コバルトおよび窒化チタン膜を選択的に除去し、コバルトシリサイド領域12を形成した(図2(d))。

【0025】

本実施形態ではゲート電極の空乏化を防止するため、ゲート電極への硼素イオン注入とソース・ドレイン注入時の硼素イオン注入の2回ゲート電極に硼素を注入しているが、これをソース・ドレイン時の硼素イオン注入の1回で行うこともできる。その場合はサイドウォールCVD膜の堆積温度を550°C以下で行うことにより非晶質シリコン膜7は結晶化することができないため、ソース・ドレイン注入時のイオン突き抜けにも有利であるばかりでなく、コバルトシリサイドの形成自体も非晶質シリコン上のほうが安定しているため有利である。なお、本発明の実施形態1のごとく、ポリメタル構造電極の場合はゲート電極へのイオン注入は必須である。

【0026】

(第3の実施形態)

次に、本発明の第3の実施形態について工程断面流れ図、図3(a)～(e)を用いて説明する。P型(100)11-14Ωcmエビ厚5μm、基板の比抵抗10～15mΩのエピタキシャル基板上1に、公知の分離技術を用い、深さ0.3μmのSTI分離領域3を形成した。その後、公知のフォトリソグラフィー技術とイオン注入技術によりN型およびP型ウェル形成2、チャネル領域の不純物導入を行った。その後、膜厚2.2nmのゲート絶縁膜4を一酸化二窒素雰囲気中において1000°Cで形成した。この時、膜中の窒素のピーク濃度は1atm%であった。続いて、枚葉式CVD装置により600°CでSiH₄ガスを用いて $1.06 \times 10^4 \text{ Pa}$ (80Torr)で膜厚10nmの非晶質シリコン膜13を堆積した(図3(a))。

【0027】

その後、RTAにより昇温速度100°C/秒で1050°Cまで昇温し、1050°Cに達したのち、降温速度100°C/秒で冷却することにより、非晶質シリコン膜13を小粒径多結晶シリコン膜14に変換した。雰囲気は窒素中で行った(図3(b))。このとき、結晶成長は非常に急速な温度変化のため成長核の発生率は高いものの結晶が十分な大きさに成長する十分な時間は与えられていない上、膜厚が10nmと薄いため成長した結晶はす

ぐに膜厚の大きさまで達してしまいこれ以上大きく成長することはなかった。

【0028】

前記実施形態2のごとく膜堆積当初から小粒径多結晶シリコン膜で堆積できれば本実施形態のように、一旦非晶質で堆積し、小粒径多結晶シリコンへ変換する作業は不要であるようと思われるが、膜厚の薄い、とりわけ10nm以下の膜厚で小粒径多結晶シリコンを堆積すると、粒径は膜厚より十分小さくない場合は、粒と粒の成長後、粒と粒が互いに接触した時点で成長がとまるために、しばしば、粒と粒の間に隙間ができる、連続膜とならない場合がある。実施形態2ではその後、非晶質シリコンを堆積しているためその隙間は非晶質シリコンにより埋めることができるために大きな問題にはならないが、当初から多結晶で薄膜を連続膜として堆積することは難しいことにはかわりはない。

10

【0029】

一方、本実施形態では非晶質として連続膜堆積したものを熱処理によって多結晶に変化させているため、膜の連続性は多結晶化後も保たれている。その後、枚葉CVD装置により640°CでSiH₄ガスにより多結晶シリコン膜(図3(d))中では小粒径多結晶シリコン膜10として表示)を70nm堆積した。このとき、多結晶シリコン膜は下地の小粒径多結晶シリコン膜の結晶性を受け継ぐため、比較的小粒径の多結晶シリコン膜10が成長した。TEMによる観察結果では平均の結晶粒径は20nm程度であった。もちろん、ここで上部に堆積する膜は非晶質シリコン9であった場合には、10nmの小粒径多結晶シリコン膜上14に、70nmの非晶質シリコン膜9が堆積されることになる。多結晶シリコン膜の場合、粒径が僅かに小さい膜厚10nmの小粒径多結晶シリコン層14と70nmの粒径が僅かに大きい膜厚70nmの多結晶シリコン膜10が積層で堆積されることになる。その後、ゲート電極への不純物導入としてイオン注入法により硼素イオン6を加速エネルギー5keVで $5 \times 10^{15} \text{ cm}^{-2}$ 注入した(図3(c))。その後、イオン活性化のための熱処理を750°C、30分の窒素雰囲気中で行った。このとき1層目の小粒径多結晶シリコン膜14も2層目の中粒径多結晶シリコン膜10もいずれも熱処理によっても結晶成長はおこらず、粒径もほとんど変化しないため、それに伴う応力の発生、ひいてはゲート絶縁膜3直下のチャネル領域やドーソ・ドレイン領域への結晶欠陥の発生も防止できた。また非晶質シリコン膜9を堆積した場合は、この750°C、30分、窒素中熱処理にて多結晶シリコンに成長するが、このとき結晶粒は下地の小粒径多結晶シリコン膜の粒径を受け継ぐので、やはり小粒径多結晶シリコン膜10となつた(図3(d))。本実施形態はシリコン膜上部に金属膜や金属シリサイド膜を成長させる、いわゆるポリメタルやシリサイドゲート構造については説明を省略したが、この後、第1の実施形態のごとくバリア金属層、および金属膜を堆積すればポリメタルゲート電極に、第2の実施形態のごとくコバルトを堆積し、熱処理を行えばシリサイドゲートになる。本発明ではこの後、公知のフォトリソグラフィー技術およびドライエッチング技術によりシリコン電極をパターンニングしでゲート電極を形成した。(図3(e))

20

以上の実施形態では、シリコン膜は1層または最大2層からなるものであるが、もちろん、これらの積層数は3層、4層と多層になってもよい。多層になればなるほど、上下の層での結晶粒の方位はランダムになるので、イオン注入に対する突き抜け耐性は向上することになる。また、結晶粒自体は熱処理でこれ以上は結晶成長しないので応力が増大することもない。ただし、工業的に考えた場合、4層以上の膜を積層にすることはゲート電極膜厚が厚い場合はともかく、電極の膜厚が80nm以下においては製造するのに困難が伴う。また、4層以上の積層においては2~3層と同程度のチャネリング防止効果しか期待できない。また、本実施形態はシリコン膜について述べているが、近年、とりわけ硼素をドーピングしたゲート電極の空乏化低減にゲルマニウム添加が有望であるとの知見もあり、シリコン膜にゲルマニウムを10~50atom%添加したシリコンゲルマニウムであっても全く問題なく、その効果はシリコンの場合と同様である上、イオン注入した硼素の膜中濃度も高く保てるため空乏化防止にも効果がある。またシリコンゲルマニウムを用いる場合、実施形態1では膜全体がポリシリコンゲルマニウムとなるが、実施形態2では第1層は小粒径多結晶シリコン層、第2層は非晶質シリコンゲルマニウム層、さらに3層目と

30

40

50

して非晶質シリコン層が必要である。第1層はゲルマニウムの薄膜ゲート絶縁膜への拡散による信頼性低下を防止するため、第3層はコバルトシリサイドを形成するためにシリコン膜が必要なためである。第3の実施形態についても第1層目は小粒径多結晶シリコン膜(R T A後)、第2層が多結晶または非晶質シリコンゲルマニウム膜となる。さらに第3の実施形態でサリサイド構造にする場合も第3の非晶質シリコン層が必要である。また、ドーピングについては最も一般的に用いられるイオン注入法を中心に説明したが、プラズマドーピング法であっても熱拡散法であっても本発明の効果はかわることはない。ただし、熱拡散法の場合、チャネリングは存在しないので、熱拡散中の熱処理による結晶粒成長に伴う応力発生を低減する効果に止まる。

【0030】

図4(a)～(b)はシリコン基板201上の薄膜ゲート絶縁膜202上に堆積した小粒径多結晶シリコン膜203の堆積直後(図4(a))と900℃、30分、窒素中でのアニール後(図4(b))の透過電子顕微鏡写真の結晶粒のスケッチである。204は結晶粒でこのときの結晶粒の大きさは平均して40nmであった。膜厚は200nmである。また、結晶の配向はX線回折により特定の方位に強く配向していないことが確認できている。熱処理前の結晶粒の状況(図4(a))と熱処理後の結晶粒の状況(図4(b))は大きな差がなく、小粒径多結晶シリコン膜は熱処理を加えてもそれ以上結晶粒は成長しないことがわかる。

【0031】

一方、図5(a)～(b)はシリコン基板上201の薄膜ゲート絶縁膜202上に非晶質シリコン膜205を堆積し、900℃、30分m窒素中での熱処理前後のTEM写真のスケッチである。堆積直後は非晶質シリコン205なので結晶粒は観察されないが(図5(a))、熱処理後は結晶粒が成長し、多結晶シリコン206となっている。また結晶粒207は約0.5μmと大きい(図5(b))。このように非晶質シリコン膜は熱処理により結晶が巨大化することがわかった。その際に強い応力を発生することは以上の結果から類推することができる。

【0032】

【発明の効果】

以上のように本発明は、MOS型トランジスタのゲート電極において、ゲート電極に用いるシリコン膜の膜厚を増加させることなく、イオン注入による不純物のチャネル領域への突き抜けを防止するとともに、イオン注入原子活性化のための熱処理による、ゲート電極のシリコン膜の結晶粒成長に伴って発生する応力による、ゲート絶縁膜直下のチャネル領域またはソース・ドレイン領域への結晶欠陥の発生を抑制し、チャネルリーク電流、接合リーク電流がすくなく、かつ微細な高性能トランジスタを実現できるものである。

【図面の簡単な説明】

【図1】(a)～(d)は本発明のゲート電極の形成方法の第1の実施形態の工程流れ断面図

【図2】(a)～(d)は本発明のゲート電極の形成方法の第2の実施形態の工程流れ断面図

【図3】(a)～(e)は本発明のゲート電極の形成方法の第3の実施形態の工程流れ断面図

【図4】(a)～(b)は小粒径多結晶シリコン膜の熱処理前後の結晶成長の透過電子顕微鏡写真のスケッチ図

【図5】(a)～(b)は非晶質シリコン膜の熱処理前後の結晶成長の透過電子顕微鏡写真のスケッチ図

【図6】(a)～(c)は従来技術により形成したゲート電極の形成方法の工程流れ断面図

【図7】(a)～(e)は従来技術により形成したゲート電極の形成方法の工程流れ断面図

【符号の説明】

10

20

30

40

50

1 シリコン基板
 2 ウェル（Nウェル）領域
 3 素子分離（S T I 分離）領域
 4 ゲート絶縁膜
 5 小粒径多結晶シリコン膜
 6 ゲート電極用注入イオン（硼素）
 7 バリア金属膜（窒化チタン膜）
 8 金属膜（タンゲフテン）
 9 非晶質シリコン膜

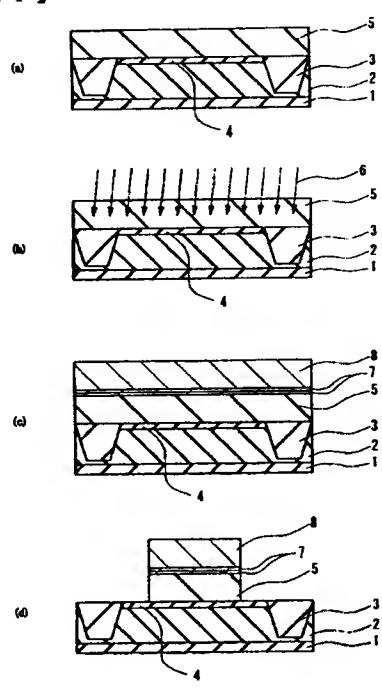
10 10 非晶質シリコン膜が変化して形成された小粒径多結晶シリコン膜
 11 サイドウォール絶縁膜
 12 シリサイド層（コバルトシリサイド）
 13 薄い非晶質シリコン膜
 14 非晶質シリコン膜が変化した小粒径多結晶シリコン膜

10 10 1 シリコン基板
 10 2 ウェル領域
 10 3 素子分離領域
 10 4 ゲート絶縁膜
 10 5 多結晶シリコン膜
 10 6 ゲート電極用イオン注入
 10 7 多結晶シリコン膜の結晶粒（柱状結晶）
 10 8 ゲート電極用イオン注入のチャネリング成分
 10 9 ゲート電極用イオン注入のチャネリングにより突き抜けた不純物
 11 0 非晶質シリコン膜
 11 1 非晶質シリコン膜が変化した多結晶シリコン膜
 11 2 非晶質シリコン膜が変化した多結晶シリコン膜の結晶粒
 11 3 結晶粒成長時の応力により発生した結晶欠陥
 11 4 ソース・ドレイン用注入イオン
 11 5 ソース・ドレイン用イオン注入のチャネリング成分
 11 6 サイドウォール絶縁膜
 11 7 ソース・ドレイン用イオン注入のチャネリングにより突き抜けた不純物

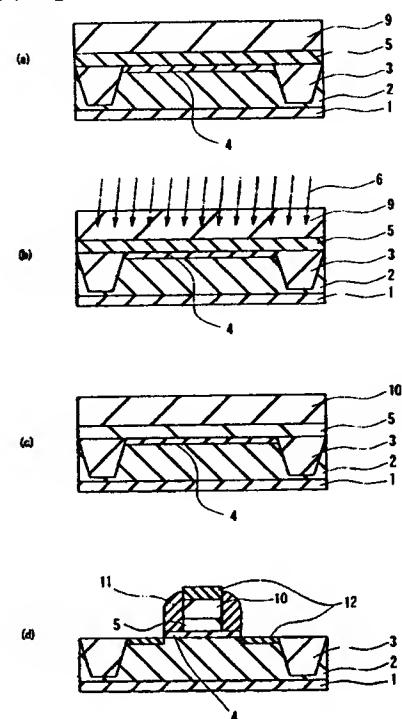
20 20 1 シリコン基板
 20 2 ゲート絶縁膜
 20 3 小粒径多結晶シリコン膜
 20 4 小粒径多結晶シリコン膜の結晶粒
 20 5 非晶質シリコン膜
 20 6 非晶質シリコン膜が結晶成長した多結晶シリコン膜
 20 7 非晶質シリコン膜が結晶成長した多結晶シリコン膜の結晶粒

30

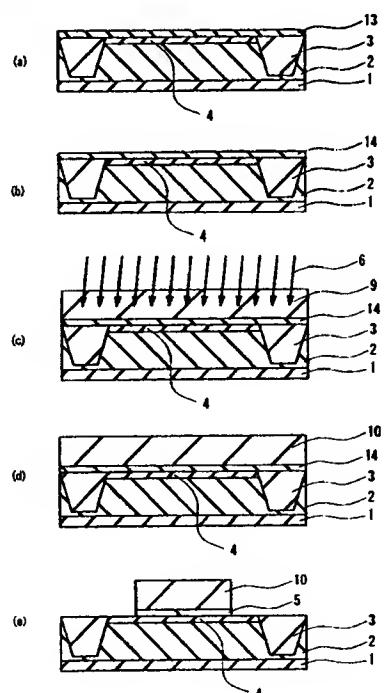
【図 1】



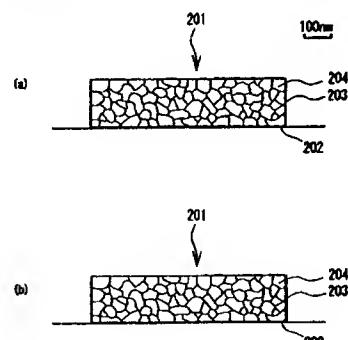
【図 2】



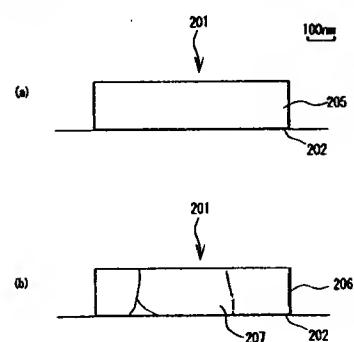
【図 3】



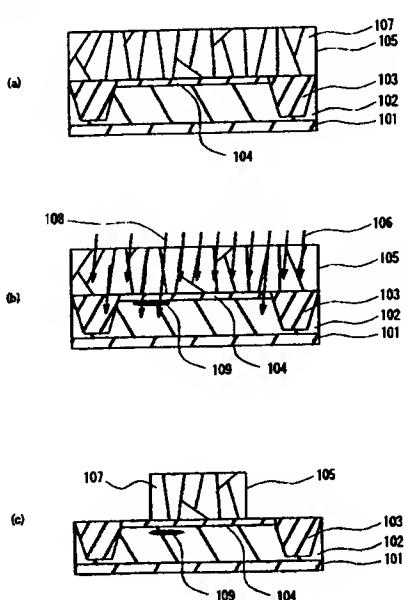
【図 4】



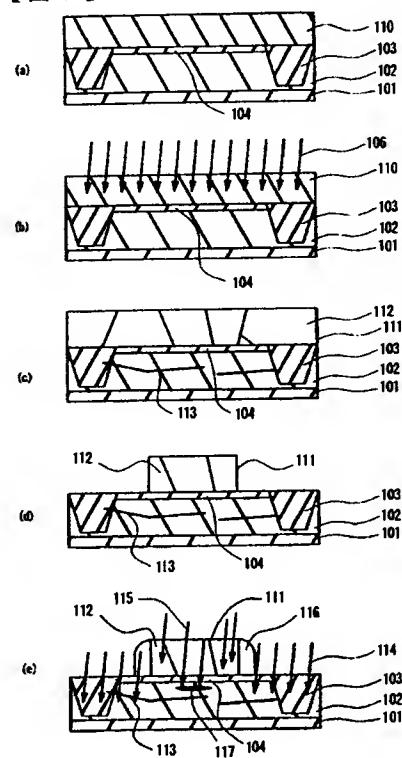
【図 5】



【図6】



【図7】



フロントページの続き

F ターム(参考) 5F140 AA08 AA24 AA28 AB03 BA01 BA16 BA20 BC06 BC12 BD09
BE05 BE06 BE07 BE08 BE13 BE19 BF04 BF11 BF14 BF18
BF20 BF21 BF22 BF24 BF27 BF28 BF32 BF33 BG08 BG27
BG28 BG30 BG31 BG32 BG33 BG34 BG35 BG38 BG45 BG52
BG53 BG56 BH15 BJ01 BJ08 BK02 BK13 BK29 BK34 BK35
BK39 CB04 CB08 CF04